2016년05월08일년 반도체커스텀레이아웃산업기사 필기시험 기출문제 답안

【1과목 : 20문제】 반도체공학	1	2	3	4	5	6	7	8	9	10
	①	④	③	②	④	④	③	②	④	①
	11	12	13	14	15	16	17	18	19	20
	③	①	②	②	④	③	③	①	④	①

【2과목 : 20문제】 전자회로	21	22	23	24	25	26	27	28	29	30
	③	①	③	④	①	②	④	④	①	③
	31	32	33	34	35	36	37	38	39	40
	②	①	③	③	④	②	③	②	②	④

【3과목 : 20문제】 논리회로	41	42	43	44	45	46	47	48	49	50
	①	①	①	④	②	②	③	④	①	②
	51	52	53	54	55	56	57	58	59	60
	③	③	②	④	①	②	②	④	①	④

【4과목 : 20문제】 집적회로 설계이론	61	62	63	64	65	66	67	68	69	70
	②	③	③	③	④	②	①	②	②	④
	71	72	73	74	75	76	77	78	79	80
	①	①	①	③	③	③	②	①	②	④

전자문제집 CBT 홈페이지 : https://www.cbtestpro.kr

최신 수정 자료와 해설(오타・오답・규정변경)은 cbtestpro.kr 웹 및 앱에서 확인하세요.

기출문제의 저작권은 출제기관에 있습니다. cbtestpro.kr 및 관련 앱에서는 편집 및 재구성 작업만 하였음을 밝힙니다.

CBT기출문제

전자문제집 CBT

빠르고 효과적으로 배워 시험 합격을 노려라!

Download on the App Store

GET IT ON Google Play

【1과목】 반도체공학 (20문제)

1. 과대전류에 대한 보호용으로 사용되는 다이오드는?
   - ① 제너 다이오드
   - ② 터널 다이오드
   - ③ 리드 다이오드
   - ④ 본드형 다이오드

2. 반도체 공정에서 산화막 공정의 목적과 거리가 먼 것은?
   - ① 표면 유전성(surface dielectric) 효과
   - ② 표면 안정화(surface passivation) 효과
   - ③ 이온주입 및 불순물 확산공정에 대한 마스킹(selective masking) 효과
   - ④ 저온증착(Low Temperature Chemical Vapor Deposition) 효과

3. 바이폴라 트랜지스터 존재하는 접합은?
   - ① 베이스(Base) - 소스(Source) 접합
   - ② 이미터(Emitter) - 드레인(Drain) 접합
   - ③ 컬렉터(Collector) - 베이스(Base) 접합
   - ④ 이미터(Emitter) - 컬렉터(Collector) 접합

4. 바이폴라 트랜지스터에서 이미터-베이스 접합에 순방향 바이어스, 컬렉터-베이스 접합에 순방향 바이어스 전압을 걸었을 때의 트랜지스터의 동작 상태는?
   - ① 활성 상태
   - ② 포화 상태
   - ③ 차단 상태
   - ④ 역활성 상태

5. 반도체에서 전자가 원자의 속박으로부터 벗어나 전계에 의해 자유롭게 움직일 수 있는 에너지대는?
   - ① 가전자대
   - ② 충만대
   - ③ 금지대
   - ④ 전도대

6. pn접합이 순방향 바이어스일 때 동작으로 옳은 것은?
   - ① p형 반도체의 정공만 n형 반도체로 이동한다.
   - ② n형 반도체의 전자만 p형 반도체로 이동한다.
   - ③ 전류가 흐르지 않는다.
   - ④ 두 반도체의 다수 캐리어가 서로 상대편 영역으로 이동한다.

7. 에너지 밴드의 종류에 해당하지 않는 것은?
   - ① 가전자대
   - ② 금지대
   - ③ 전자대
   - ④ 전도대

8. 원자번호 14인 Si 원자의 최외각(M각) 전자는 몇 개인가?
   - ① 2
   - ② 4
   - ③ 8
   - ④ 10

9. 실리콘 pn접합의 형태를 이루고 있으며, 역방향 직류 전원에서 동작하며, 역방향 항복에 이르면 전류가 급격히 변하여도 항복 전압은 거의 일정한 소자는?
   - ① 정류기(rectifier)
   - ② 바랙터 다이오드(varactor diode)
   - ③ 스위칭 다이오드(switching diode)
   - ④ 제너 다이오드(zener diode)

10. 단순입방의 구조를 갖는 반도체 재료에서 1개의 단위 셀당 포함되는 원자의 개수는?
    - ① 1
    - ② 2
    - ③ 3
    - ④ 4

11. pn접합에서 외부에 전계가 없는데도 전위장벽이 발생하는 이유는?
    - ① 분리 작용
    - ② 항복 작용
    - ③ 확산 작용
    - ④ 제너 현상

12. MOSFET의 커패시턴스 C는? (단, C_{OX}는 산화막 커패시턴스, C_S는 공핍층 커패시턴스 이다.)

① $C = \frac{C_{OX}C_S}{C_{OX}+C_S}$

② $C = \frac{1}{C_{OX}} - \frac{1}{C_S}$

③ $C = C_{OX} + C_S$

④ $C = C_{OX}C_S$

13. NPN트랜지스터 I_{CEO}에 대한 설명으로 옳은 것은?

① 베이스에 흐르는 누설전류이다.

② 차단상태에서 컬렉터에 흐르는 누설전류이다.

③ 포화상태에서 컬렉터에 흐르는 누설전류이다.

④ 차단상태에서 베이스에 흐르는 누설전류이다.

14. 접합전계효과트랜지스터(JFET)에서 핀치-오프(Pinch-off) 전압이란? (단, 드레인 전류 I_D, V_{GS} = 0 V 인 상태이다.)

① JEFT 애벌런치 전압

② ID가 일정하게 될 때의 VDS의 전압

③ 드레인-소스 사이의 전압

④ 채널 폭이 최소로 되는 게이트 역방향 전압

15. MOSFET의 설명으로 거리가 먼 것은?

① 게이트-소스 간에 순방향 전압 VGS을 공급하면 드레인과 소스 사이에 채널이 형성된다.

② 드레인-소스 간에 역방향 전압 VDS을 공급하면 드레인 전류 ID가 흐른다.

③ VGS을 증가시키면 채널의 폭이 두꺼워져 드레인 ID가 증가한다.

④ BJT에 비하여 전력소모가 많은 트랜지스터이다.

16. pn접합에서 전류가 0 일 때의 설명으로 가장 적합한 것은?

① 접합면을 지나는 다수 캐리어(Carrier)가 없다.

② 접합면을 지나는 소수 캐리어(Carrier)가 없다.

③ 접합면을 지나는 다수 캐리어(Carrier)와 소수 캐리어가 같다.

④ 접합면을 지나는 캐리어(Carrier)의 농도가 적다.

17. pn접합의 공간 전하영역에 대한 설명으로 틀린 것은?

① 움직이지 않는 도너와 억셉터 이온이 있다.

② 공핍 영역(Depletion Region)이라고도 한다.

③ 거의가 다수 캐리어이다.

④ 전자 및 정공이 거의 없다.

18. 역방향 바이어스 전압에 의해서 전류가 흐르는 다이오드로서 정전압 회로에 사용되는 것은?

① 제너 다이오드

② 터널 다이오드

③ 가변용량 다이오드

④ 정류 다이오드

19. p형과 n형 반도체에서 다수 반송자(Carrier)를 옳게 나타낸 것은?

① p형 : 전자, n형 : 전자

② p형 : 정공, n형 : 정공

③ p형 : 전자, n형 : 정공

④ p형 : 정공, n형 : 전자

20. 일정한 온도 하에서 n형 반도체의 도너 불순물 농도를 증가시키면 페르미 준위는?

① 전도대에 접근한다.

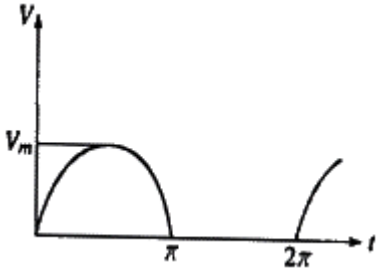
② 가전자대에 접근한다.

③ 금지대 중앙에 위치한다.

④ 금지대 중앙으로 접근한다.

【2과목】 전자회로 (20문제)

21. 그림과 같은 파형의 전압을 교류전압계(AC Voltmeter)로 측정



할 때 옳은 것은?

① $\frac{V_m}{\pi}$

② $\frac{V_m}{\sqrt{2}}$

③ $\frac{V_m}{2}$

④ $\sqrt{2}V_m$

22. 금속산화물반도체 전계효과 트렌지스터(MOSFET)에 대한 설명으로 틀린 것은?

① 게이트의 전압이 임계 전압 이상으로 커지면 채널이 형성되기 시작하여 점차 채널폭이 감소한다.

② 공핍형(depletion, D)과 증가형(enhancement, E) 2가지 형태가 있다.

③ 정(+)의 게이트-소스 간에 전압이 가해지면 MOSFET는 증가형으로 동작한다.

④ 공핍형 MOSFET는 게이트 전압이 0V일 때에도 채널이 존재한다.

23. 주파수 대역폭을 넓히기 위한 방법으로 적합하지 않은 것은?

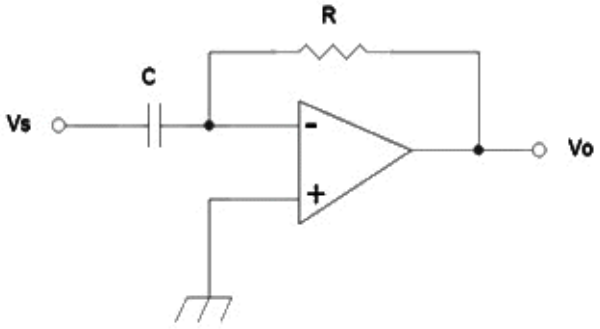
① 부귀환(feedback)을 사용한다.

② 복동조 회로(double tuned circuit)를 사용한다

③ 동조회로(tuning circuit)의 Q를 높인다.

④ 스태거 증폭(stagger amplification) 방식을 사용한다.

24. 연산증폭기 회로에서 출력 V_O를 나타내는 식으로 가장 적합한 것은?



① $V_O = -\frac{1}{RC}\int V_S dt$

② $V_O = \frac{1}{RC}\int V_S dt$

③ $V_O = -RC\int \frac{dV_S}{dt}$

④ $V_O = RC\int \frac{dV_S}{dt}$

25. TV 수상기나 레이더 등과 같이 광대역 증폭을 요구하는 회로에 응용되는 증폭기는?

① 스태거 동조 증폭기

② 단일 동조 증폭기

③ 복동조 증폭기

④ 캐스코드 증폭기

26. 정류기의 직류 출력전압이 전부하일 때 200V, 무부하인 경우 225V 이라면 전압변동률은 몇 % 인가?

① 10

② 12.5

③ 20

④ 25

27. 이상적인 차동증폭기의 공통성분제거비(CMRR)는?

① 0

② 1

③ -1

④ 무한대(∞)

28. 트랜지스터의 콜렉터 손실이 최대 정격 15W인 두 개의 트랜지스터 B급 푸시풀(push-pull)로 동작하려할 때, 콜렉터 손실의 최대 정격이 허용하는 범위에서 최대 출력은 약 몇 W 인가?

① 30

② 45

③ 60

④ 75

29. 단상 반파 정류회로의 이론상 최대 정류효율은 몇 % 인가? (단, 정류 효율 : η, $\eta = \frac{\text{직류 전력}(P_{dc})}{\text{교류 전력}(P_{ac})} \times 100\%$ 이다.)

① 40.5

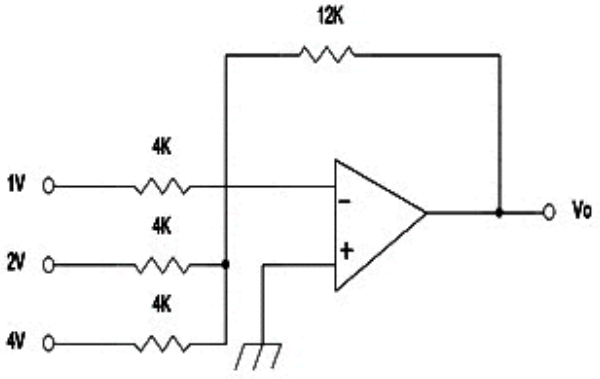
② 48.2

③ 81.2

④ 91.6

Download on the App Store 전자문제집 CBT(App Store) :[다운로드]
GET IT ON Google Play 전자문제집 CBT(Google Play) :[다운로드]

30. 다음 회로에서 출력전압은 몇 V 인가?



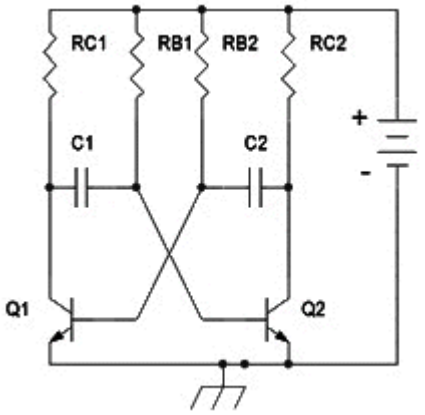
① -6

② -12

③ -21

④ -36

31. 다음 회로의 명칭으로 알맞은 것은?



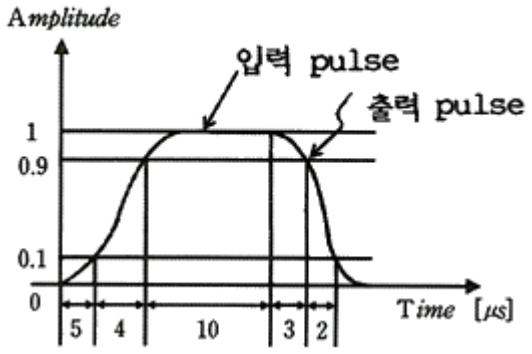
① 포스터-실리 검파기

② 멀티-바이브레이터

③ 연산증폭기

④ 차동증폭기

32. 이상적인 구형파 입력 파형에 대한 출력 파형의 응답 시에 진폭과 시간 관계가 그림과 같을 때 하강 시간(fall time)은 몇 μs 인가? (단, 수치의 모든 단위는 μs 이다.)



① 2

② 4

③ 5

④ 13

33. 트랜지스터 증폭기의 저주파(중간영역)에서의 전류이득을 0dB라고 할 때 α차단 주파수에서의 전류이득은 몇 dB 인가?

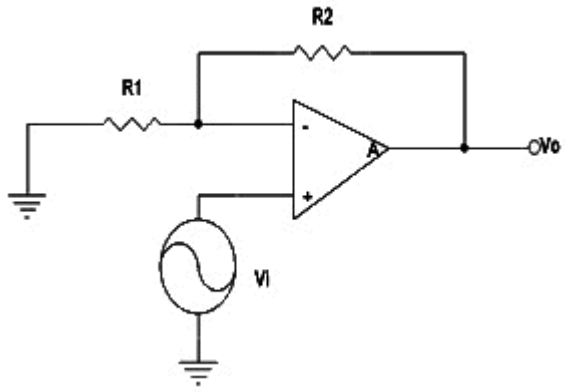
① 0

② -1

③ -3

④ -6

34. 다음 회로에서 전압이득은 V_o/V_i은? (단, $R_i = \infty$, $-A_V = \infty$ 이다.)



① $\frac{R_2}{R_1}$

② $-\frac{R_1}{R_2}$

③ $1+\frac{R_2}{R_1}$

④ $1-\frac{R_1}{R_2}$

35. 직류 증폭기에서 온도 변화 등의 영향으로 인하여 출력이 변동되는 현상은?

① 발진

② 증폭

③ 초퍼

④ 드리프트

36. 전압 직렬귀환 증폭 회로의 입력 및 출력 저항은 귀환이 없을 때와 비교하면 어떻게 변화하는가?

① 입력 임피던스 : 증가, 출력, 임피던스 : 증가

② 입력 임피던스 : 증가, 출력, 임피던스 : 감소

③ 입력 임피던스 : 감소, 출력, 임피던스 : 증가

④ 입력 임피던스 : 감소, 출력, 임피던스 : 감소

37. 이미터 저항을 연결한 CE 증폭기에 대한 설명으로 적합하지 않은 것은?

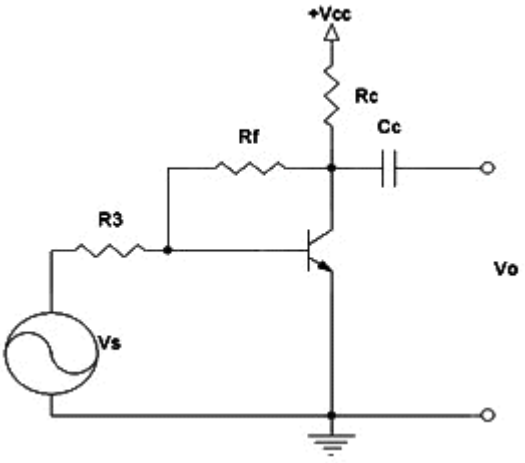
① 입력저항이 증가한다.

② 전압이득은 감소한다.

③ 출력저항이 많이 감소한다.

④ 전류이득은 거의 변화 없다.

38. 다음 같은 증폭기에 관한 설명으로 틀린 것은?



① 부귀환을 걸어줌으로써 출력 임피던스는 감소한다.

② 부귀환을 걸어줌으로써 입력 임피던스는 증가한다.

③ 무귀환 때에 비해 안정도가 좋아진다.

④ 부귀환을 걸어줌으로써 일그러짐은 감소한다.

39. 단위 이득 주파수(f_T)에 대한 설명으로 가장 적합한 것은?

① 개방 전압 이득이 10 dB가 되는 주파수

② 개방 전압 이득이 0 dB가 되는 주파수

③ 개방 전압 이득이 최대 이득에서 6 dB가 떨어지는 주파수

④ 개방 전압 이득이 최대 이득에서 3 dB가 떨어지는 주파수

40. FET에 대한 설명으로 틀린 것은?

① 전압제어형 트랜지스터이다.

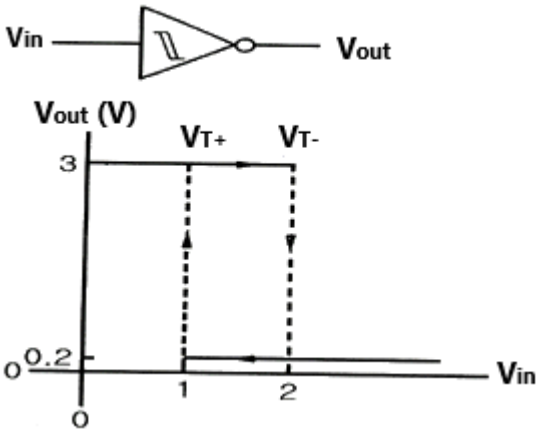
② BJT 보다 잡음특성이 양호하다.

③ BJT 보다 이득 대역폭적(GBW)이 작다.

④ BJT 보다 온도변화에 따른 안정성이 낮다.

【3과목】 논리회로 (20문제)

41. 슈미트트리거에 대한 전달함수가 다음 그래프와 같다. 입력 전압이 0V에서 서서히 증가할 경우 입력이 1.5V일 때 출력 전압은 몇 V 인가?



① 3

② 1.5

③ 0.2

④ 0

42. T 플립플롭의 특성 설명으로 옳지 않은 것은?

① $\overline{T}\overline{Q} = TQ$ 특성 방정식은이다.

② T=1 일 때 보수 상태가 된다.

③ 한 개의 입력을 필요로 한다.

④ 0이 입력될 때는 변화가 없다.

43. 2개의 입력을 가지는 NOR 게이트의 입력에 각각 인버터(inverter)가 접속되어 있을 때 결과적으로 얻어지는 논리 작용?

① AND

② OR

③ NAND

④ NOT

44. 논리식 A + (A*B) = A의 불 대수 정리는?

① 결합법칙

② 교환법칙

③ 분배법칙

④ 흡수법칙

45. A, B에 해당하는 수치로 옳은 것은?

5비트 카운터의 최대 2진 계수값은 2진수로 (A) 이고, 10진수로는 (B)이다.

① A=11101, B=30

② A=11111, B=31

③ A=11110, B=30

④ A=11111, B=29

46. 많은 입력 선(Line) 중의 하나로부터 2진 정보를 선택하여 단일 출력 선(Line)으로 전송하는 조합회로는?

① 디코더

② 멀티플렉터

③ 인코더

④ 디멀티플렉서

47. Multiplexer는 5개의 제어 선택 선(Line)으로 몇 개의 입력 라인을 제어할 수 있는가?

① 1

② 5

③ 32

④ 128

48. 송신기가 ASC II 코드 1100101을 홀수 패리티를 사용하여 전송한다면 11001011을 보내게 된다. 이때 수신측에서의 논리적인 검사방식에 주로 사용되는 논리회로는?

① AND

② NOT

③ OR

④ XOR

49. 다음 불 대수식을 간단히 하면? $(X+Y)*(X+\overline{Y})$

① X

② Y

③ $\overline{X}$

④ $\overline{Y}$

50. 반가산기 회로의 출력으로 옳은 것은? (단, 입력은 A, B 출력은 Sum, Carry이다.)

① $S = A + B, C = AB$

② $S = \overline{A}B + A\overline{B}, C = AB$

③ $S = \overline{A}B + A\overline{B}, C = \overline{A}\,\overline{B}$

④ $S = \overline{A}\,\overline{B} + AB, C = AB$

51. 8진수 $(88)_4$를 16진수로 표현하면?(오류 신고가 접수된 문제입니다. 반드시 정답과 해설을 확인하시기 바랍니다.)

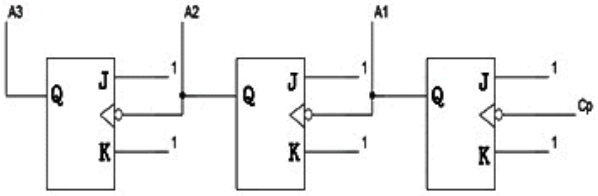
① 22

② 2A

③ 24

④ 2C

52. JK 플립플롭 3개를 연결하여 구성된 회로에서 Cp를 입력으로 하고 A_1, A_2, A_3를 출력으로 할 때 이 호로의 기능으로 옳은 것은?



① 32진 카운터 (counter)

② 16진 카운터 (counter)

③ 3 bit 2진 리플카운터 (ripple counter)

④ 4 bit 2진 리플카운터 (ripple counter)

53. 논리회로 법칙 중 서로 잘못 연결된 것은?

① 교환법칙 –A+B=B+A

② 결합법칙 – A·(B+C)=A·B+A·C

③ 분배법칙 – A+(B·C)=(A+B)·(A+C)

④ 드모르간의 법칙 - (A·B)'=A'+B'

54. Schmitt 트리거 회로의 출력 파형에 나타나는 현상은?

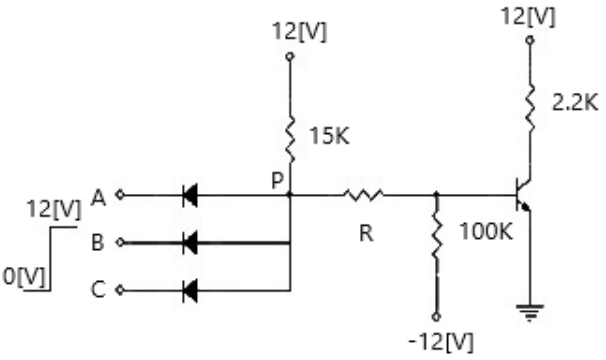
① Singing

② Back swing

③ Shoot

④ Hysteresis

55. 그림의 회로에서 입력 A가 “0” 상태일 때 트랜지스터는 어떠한 상태에 있게 되는가?



① OFF 상태

② ON 상태

③ ON 혹은 OFF상태

④ 파괴된다.

56. 두 개의 스위치를 직렬 연결하여 스위치 모두 닫혀 있을 때, 부하에 전류가 흐러서 불이 켜지게 하는 논리 회로는?

① NAND

② AND

③ NOR

④ OR

57. 컴퓨터 내부에서 디지털로 코드화된 데이터를 해독하여 그에 대응하는 아날로그 신호로 바꿔주는 것은?

① 인코더

② 디코더

③ 비교기

④ 멀티플렉서

58. 일련의 순차적인 수를 세는 회로는?

① 부호기

② 인코더

③ 레지스터

④ 카운터

59. Parity에 대한 설명으로 옳은 것은?

① 에러 검출을 위한 비트이다.

② 입출력 장치용 코드이다.

③ 문자를 나타내는 코드다.

④ 아날로그 정보를 디지털 정보로 교환한다.

60. 다음 함수(function)를 간략히 한 결과 Y는?

Y = ABC + A'BC + AB'C + ABC'

① Y= AB + B'C

② Y= A + B + C

③ Y= A'B' + B'C' + A'C'

④ Y= AB + BC +AC

【4과목】 집적회로 설계이론 (20문제)

61. 레이아웃 패턴을 설계자가 직접 설계하는 방식으로 가장 작은 면적을 갖는 집적회로(IC)는?

① 반주문형 IC

② 완전주문형 IC

③ CPLD

④ FPGA

62. 기판 바이어스 효과(BODY EFFECT)에 대한 설명으로 틀린 것은?

① MOSFET에서 소스와 기판 사이의 역바이어스 전압에 따른 문턱 전압의 변화를 나타내는 변수이다.

② 문턱 전압의 증가가 발생한다.

③ IDS전류의 증가가 일어난다.

④ 스위칭 동작이 느려진다.

63. 다음 중 CMOS IC를 취급하는 방법에 대한 설명으로 틀린 것은?

① 부품을 다룰 때는 반드시 정전기 방지용 비닐에 담아서 사용한다.

② 디바이스에 전원을 공급한 상태에서 디바이스의 입력에 신호를 공급한다.

③ 전원이 공급된 상태에서 디바이스를 제거한다.

④ 사용하지 않은 입력단자는 모두 VCC 또는 접지에 연결한다.

64. MOSFET에 생성될 수 있는 커패시턴스가 아닌 것은?

① 게이트와 드레인 간 커패시턴스

② 게이트와 벌크 간 커패시턴스

③ 소스와 드레인 간 커패시턴스

④ 소스와 벌크 간 커패시턴스

65. 게이트 수준에서 검증된 설계 데이터를 집적회로 구현에 필요한 마스크 제작 데이터로 변환시키는 과정은?

① 알고리즘 설계

② 기능 수준 설계

③ 게이트 수준 설계

④ 레이아웃 설계

66. 결정 내의 스트레인과 결함을 줄이고, 단결정의 성장을 촉진시키기 위해 웨이퍼를 일정 시간 온도가 높은 곳에서 의도적으로 넣어두는 것은?

① 도핑(doping)

② 어닐링(annealing)

③ 코팅(coating)

④ 테이퍼링(tapering)

67. CMOS NAND 게이트의 구조에 대한 설명으로 옳은 것은?

① PMOS는 병렬로 연결되고, NMOS는 작렬로 연결된다.

② PMOS는 병렬로 연결되고, NMOS도 병렬로 연결된다.

③ PMOS는 직렬로 연결되고, NMOS도 직렬로 연결된다.

④ PMOS는 직렬로 연결되고, NMOS는 병렬로 연결된다.

68. 클록(clock)에 대한 설명으로 틀린 것은?

① 정해진 신호의 전압값을 가지고 일정하고 반복적인 펄스 형태의 신호이다.

② 주로 아날로그 회로의 입력으로 사용된다.

③ 클록의 펄스형태가 바뀌는 곳을 클록에지(clock edge)라고 한다.

④ 펄스가 존재하는 곳을 정레벨, 펄스가 존재하지 않는 곳을 부레벨이라고 한다.

69. 반도체 칩 내부와 외부 환경과의 연결을 위한 것은?

① 코어(core)

② 본딩 패드(bonding pad)

③ 비아(via)

④ 웨이퍼(wafer)

70. 집적회로 전반부 설계에서 동작 수준과 게이트 수준 사이에 위치하는 것으로서 시스템을 구성하는 각 기능 블록과 그 사이의 연결 버스타이밍을 기술하는 것은?

① TTL
② DTL
③ HDL
④ RTL

71. 기억보존(REFRESH)DL 필요하고 수시로 읽고 쓰기가 가능한 기억소자는?

① DRAM
② SRAM
③ PROM
④ EPROM

72. 다음 CMOS 공정 중에서 가장 먼저 하는 것은?

① n-well 형성
② active 영역 정의
③ metal 증착 및 배선
④ 소스, 드레인 확산 형성

73. 드레인 접합의 공핍층이 커져 드레인 부근의 채널이 드레인 영역과 차단되는 현상은?

① 핀치오프(pinch-off)현상
② 사태항복(acalanche breakdown)현상
③ 포화(saturation) 현상
④ 반전(inversion) 현상

74. 레이아웃 설계 검증과정 중 레이아웃과 회로도의 네트리스트(Netlist)를 비교하여 상호연결성을 검증하는 과정은?

① ERC
② DRC
③ LVS
④ HDL

75. 전기적으로 프로그램 기록과 소거가 가능한 기억 소자는?

① PROM
② EPROM
③ EEPROM
④ Mask ROM

76. 레이아웃 설계가 끝난 후 레이아웃 설계 자료를 반영하여 논리 시뮬레이션을 다시 하는 것은?

① Logic Synthesis
② Bottom-up Design
③ Back Annotation
④ Structured Design

77. 도미노 로직(domino logic)에 대한 설명으로 옳지 않은 것은?

① 도미노 로직은 동적 CMOS 로직의 한 종류이다.
② 도미노 로직은 출력단에 인버팅 반 래치가 있어 동적 CMOS 로직의 출력과 같다.
③ 도미노 로직은 사전 충전 시 출력은 항상 0이므로 다음 단에 직접 연결해도 출력방전이 없다.
④ 도미노 로직은 사전 충전 시 출력은 항상 0이므로 잡음에도 강하다.

78. 반도체 공정에서 웨이퍼에 마스크를 대고 그 위에 자외선 광원을 이용하여 마스크의 모양을 웨이퍼에 전사하는 작업을 무엇이라 하는가?

① 포토리소그래피 공정
② 에피택시 공정
③ 증착과 식각
④ 이온 주입 공정

79. 에피택셜(epitaxial) 성장은 어느 경우에 적합한가?

① 기판에 매우 얇은 다결정을 성장시킬 때
② 기판에 매우 얇은 단결정을 성장시킬 때
③ 원통형 잉곳(ingot)을 성장시킬 때
④ 불순물을 기판에 골고루 분포시킬 때

80. CMOS 논리회로의 특성으로 틀린 것은?

① 조합논리회로는 현재의 입력 값에 의해서만 출력이 결정된다.
② 순차논리회로는 현재의 입력과 과거의 입력으로 출력이 결정된다.
③ 순차논리회로는 래치(latch)나 플립플롭의 기억소자를 포함한다.
④ CMOS 논리회로에서 용량성 노드는 고려할 필요가 없다.