2014년09월20일년 반도체커스텀레이아웃산업기사 필기시험 기출문제 답안

【1과목 : 20문제】 반도체공학	1	2	3	4	5	6	7	8	9	10
	②	③	④	①	②	①	②	③	①	④
	11	12	13	14	15	16	17	18	19	20
	③	③	③	②	①	④	①	④	③	④

【2과목 : 20문제】 전자회로	21	22	23	24	25	26	27	28	29	30
	①	①	①	④	④	①	③	③	②	②
	31	32	33	34	35	36	37	38	39	40
	③	④	④	②	②	①	③	①	①	③

【3과목 : 20문제】 논리회로	41	42	43	44	45	46	47	48	49	50
	②	③	①	④	③	②	①	②	②	②
	51	52	53	54	55	56	57	58	59	60
	①	④	①	②	②	②	④	④	③	①

【4과목 : 20문제】 집적회로 설계이론	61	62	63	64	65	66	67	68	69	70
	①	④	①	①	④	①	②	①	③	①
	71	72	73	74	75	76	77	78	79	80
	①	④	③	④	①	①	③	③	①	④

전자문제집 CBT 홈페이지 : https://www.cbtestpro.kr

최신 수정 자료와 해설(오타・오답・규정변경)은 cbtestpro.kr 웹 및 앱에서 확인하세요.

기출문제의 저작권은 출제기관에 있습니다. cbtestpro.kr 및 관련 앱에서는 편집 및 재구성 작업만 하였음을 밝힙니다.

CBT기출문제

전자문제집 CBT

빠르고 효과적으로 배워 시험 합격을 노려라!

Download on the App Store

GET IT ON Google Play

【1과목】 반도체공학 (20문제)

1. 원자번호 14인 Si 원자의 최외각(M각) 전자는 몇 개인가?

① 2

❷ 4

③ 8

④ 10

2. p형 반도체를 만드는 불순물이 아닌 것은?

① 인듐(In)

② 갈륨(Ga)

❸ 비소(As)

④ 붕소(B)

Download on the App Store 전자문제집 CBT(App Store) :[다운로드]
GET IT ON Google Play 전자문제집 CBT(Google Play) :[다운로드]

3. 전계효과 트란지스터의 전극이 아닌 것은?

① 게이트(Gate)

② 소스(Source)

③ 드레인(Drain)

❹ 채널(Channel)

4. NPN 트랜지스터에서 베이스 영역의 소수 캐리어, 즉 전자의 이동 방법으로 가장 적합한 것은? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ 확산 작용에 의한다.

② 주입 현상에 의한다.

③ 드리프트 운동에 의한다.

④ 접합의 바이어스 접합에 의한다.

5. 일정한 온도 하에서 N형 반도체의 도너 불순물 농도를 증가시키면 페르미 준위는?

① 금지대 중앙으로 접근한다.

❷ 전도대로 접근한다.

③ 금지대 중앙에 위치한다.

④ 가전자대로 접근한다.

6. 페르미 준위가E_f이고, 장벽 에너지를 E_b라고 할 때일 함수 ø는? (단, E_b: 장벽 에너지) (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ ø= Eb- Ef

② ø= Ef× Eb

③ ø= Ef/ Eb

④ ø= Ef- Eb

7. 바이어스를 인가한 증폭용 npn 트랜지스터의 컬렉터 접합면에 흐르는 주된 전류는?

① 베이스 전류가 흐른다.

❷ 드리프트 전류가 흐른다.

③ 확산 전류가 흐른다.

④ 정공 전류가 흐른다.

8. PN 접합 제조 방법이 아닌 것은?

① 성장 접합(grown junction)

② 합금 접합(alloyed junction)

❸ 결정 접합(crystal junction)

④ 확산 접합(diffused junction)

9. PN 접합의 두 가지 역방향 항복 기구의 조합으로 옳은 것은? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ 제너 항복 - 낮은 전압, 애벌런치 항복 - 높은 전압

② 제너 항복 - 높은 전압, 애벌런치 항복 - 낮은 전압

③ 제너 항복 - 낮은 전압, 애벌런치 항복 - 낮은 전압

④ 제너 항복 - 높은 전압, 애벌런치 항복 - 높은 전압

10. 디지털 집적회로에서 가장 일반적으로 사용되는 금속-절연체-반도체의 구조를 갖는 트랜지스터는?

① 쌍극성 접합 트랜지스터

② 쇼트키 접합 트랜지스터

③ MIM 트랜지스터

❹ MIS 트랜지스터

11. P형과 N형 반도체에서 다수반송자(Carrier)를 옳게 나타 낸 것은?

① P형: 전자, N형: 전자

② P형: 정공, N형: 정공

❸ P형: 정공, N형: 전자

④ P형: 전자, N형: 정공

12. PN 접합 다이오드의 전기적 특성인 정류 특성(rectification)이란?

① 전류를 일정 크기 이상으로는 흐르지 못하게 하는 것이다.

② 전압의 크기에 관계없이 일정한 크기의 전류를 흐르게 하는 것이다.

❸ 한 방향으로는 전류가 잘 흐르나, 반대 방향으로는 흐르지 모하게 하는 것이다.

④ 시간이 흐름에 따라, 전류의 크기가 비례적으로 감소하면서 흐르게 하는 것이다.

13. 이미터 접지 전류 증폭률이100일 때 베이스 접지 전류 증폭률은 약 얼마인가?

① 1.5

② 1.3

❸ 0.99

④ 0.95

14. 금속에 빛을 비추면 금속의 표면에서 전자가 튀어나오는 현상을 무엇인가?

① 열진동 효과(Thermal Vibration Effect)

❷ 광전 효과(Photo Electric Effect)

③ 지벡 효과(Seebeck Effect)

④ 홀 효과(Hall Effect)

15. 전계에 의해 전자가 이동(drift)하게 되는데, 이 때의 평균 속도를 이동속도(drift velocity)라고 한다. 다음 중 이동속도를 나타내는 수식으로 옳은 것은? (단, E는 이동도, E는 전계 세기) (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ $V_d = \frac{E}{\mu}$

② $V_d = \mu - E$

③ $V_d = \frac{\mu}{E}$

④ $V_d = \mu E$

16. 역방향 바이어스 전압에 의해서 전류가 흐르는 다이오드로서 정전압 회로에 사용되는 것은?

① 정류 다이오드

② 가변용량 다이오드

③ 터널 다이오드

❹ 제너 다이오드

17. 실리콘(Si) 및 게르마늄(Ge)의 결합 구조는? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ 공유 결합

② 이온 결합

③ 수소 결합

④ 금속 결합

18. 전계효과 트랜지스터(Field Effect Transistor)의 특징으로 거리가 먼 것은?

① 고속 스위칭이 가능하다.

② 축적시간이 짧다.

③ 온도계수를 0으로 할 수 있다.

❹ 입력 임피던스가매우 낮다.

19. PN 접합이 순방향 바이어스일 때 동작으로 옳은 것은?

① P형 반도체의 정공만 N형 반도체로 이동한다.

② 전류가 흐르지 않는다.

❸ 두 반도체의 다수캐리어가 서로 상대편 영역으로 이동한다.

④ N형 반도체의 전자만 P형 반도체로 이동한다.

20. 어떤 금속과 반도체 사이에 형성된 전위장벽 또는 PN접합 정류기의 전하주입으로 인한 속도감소 요소를 제외한 정류기로서의 높고 두꺼운 장벽을 가리키는 용어는?

① 바디 효과(Body effect)

② 항복전압 효과(Breakdown voltage effect)

③ 접합 효과(Junction effect)

❹ 쇼트키 장벽(Schottky barrier)

【2과목】 전자회로 (20문제)

21. 다음 중 시미트 트리거 회로에 대한 설명으로 적합하지 않은 것은? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

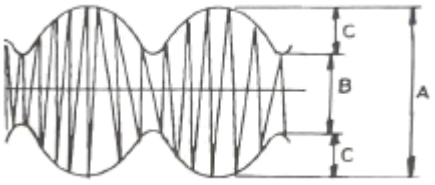
❶ 외부 클록 펄스가 필요하다.

② 출력으로 구형파를 얻을 수 있다.

③ 입력신호의 잡음 제거 목적으로도 입력단에 사용된다.

④ 기본적인 시미트 트리거 회로는 기준전압을 가변할 수 있는 것을 제외하고는 비교기와 동일하다.

22. 다음 그림의 변조도는 약 몇 [%] 인가? (단, A=10[V], B=5[V], C=2.5[V]이다.) (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)



❶ 10[%]

② 33[%]

③ 66[%]

④ 80[%]

23. 하틀레이(Hartley) 발진기에서 궤환 요소는?

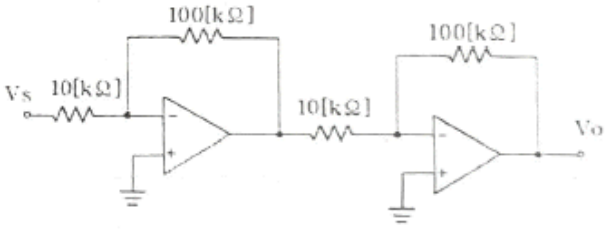
❶ 코일

② 용량

③ 저항

④ 용량+코일

24. 다음 연산증폭기 회로의 전체 이득(V_O/V_S)은 몇 [dB] 인가?



① 10[dB]

② 20[dB]

③ 30[dB]

❹ 40[dB]

25. RC 결합 증폭기에서 저주파 특성을 제한하는 주 요소로 가장 적합한 것은?

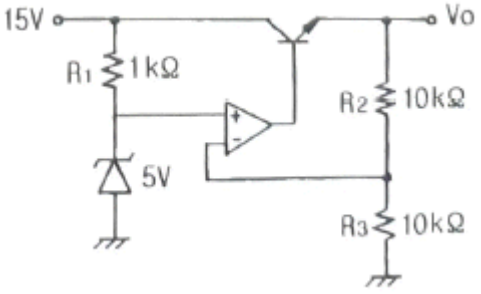
① 극간용량

② 분포용량

③ 전류이득

❹ 입출력 결합용량

26. 다음 정전압 장치의 출력전압은 몇 [V]인가? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)



❶ 5[V]

② 7.5[V]

③ 10[V]

④ 12.5[V]

27. 어떤 증폭기의 중간영역 전압이득이 500이고 입력 RC 회로의 하한 임계 주파수가 500[kHz]이다. 주파수 500[kHz]에서 전압 이득은 약 얼마인가?

① 250
② 70.7
❸ 350
④ 707

28. 무부하 출력 전압이 24[V]인 전원장치에 부하 연결 시 출력전압이 22[V]이면 전압 변동률은 약 몇 [%] 인가?

① 5[%]
② 7[%]
❸ 9[%]
④ 10[%]

29. 변압기의 2차 코일에 중간탭을 사용하는 정류회로는?

① 반파정류회로
❷ 전파정류회로
③ 브리지정류회로
④ 배전압정류회로

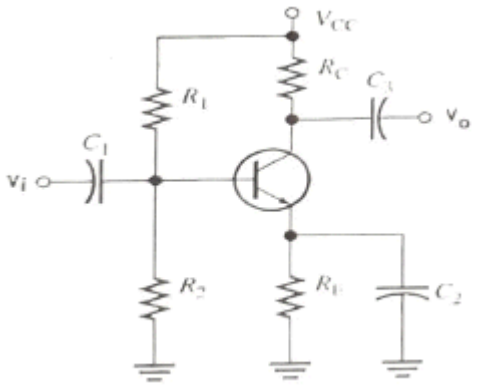
30. NPN 트랜지스터가 활성 영역에서 증폭기로 정상 동작을 위한 바이어스 인가 방법은? (단, B, E, C는 각 각 베이스, 이미터, 컬렉터 이다.)

① B에 대하여 E는 -, C는 +
❷ B에 대하여 E는 +, C는 -
③ E에 대하여 B는 -, C는 +
④ E에 대하여 B는 +, C는 -

31. 상온의 진성반도체에 전압을 인가했을 때 나타나는 현상으로 가장 적합한 것은?

① 전자와 정공은 모두 양(+) 전극으로 이동한다.
② 전자와 정공은 모두 음(-) 전극으로 이동한다.
❸ 전자는 양(+)전극으로 이동하고, 정공은 음(-)전극으로 이동한다.
④ 정공은 양(+)전극으로 이동하고, 전자는 음(-)전극으로 이동한다.

32. 그림과 같이 이미터 저항을 갖는 증폭회로에서이미터 저항 R_E의 가장 중요한 역할은?



① 출력을 증가시킨다.
② 노이즈를 증가시킨다.
③ 주파수 대역폭을 감소시킨다.
❹ 안정도를 개선시킨다.

33. 전력증폭기에 대한 설명으로 옳은 것은?

① A급의 경우가 전력효율이 가장 좋다.
② C급의 효율은 50% 이하로 AB급보다 낮다.
③ B급은 동작정이 포화영역 부근에 존재한다.
❹ C급은 반송파 증폭용이나 주파수 체배용으로 사용된다.

34. 연산증폭기에 계단파 입력전압이 인가되었을 때 시간에 따라 출력전압의 변화율은?

① 전류 드리프트
❷ 슬루 레이트
③ 통상신호제거비
④ 출력 오프셋 전압

35. 다음 설명 중 옳지 않은 것은?

① 전력 효율은 전원 전력 소비량을 적게 하면서 신호 출력을 크게 할 수 있느냐 하는 지수를 말한다.
❷ A급 전력 증폭기의 컬렉터 손실은 무신호 시에 가장 작다.
③ B급 전력 증폭기는 출력이 최대가능 출력의 약 40%일 때 컬렉터 손실이 가장 크다.
④ C급 전력 증폭기는 신호 출력의 첨두치에서 가장 큰 손실이 발생한다.

36. a_0=0.9, f_α=10[kHz]인 트랜지스터가 f=20[kHz]에서 동작할 때 전류 증폭도의 크기는 약 얼마인가? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ 0.34
② 0.4
③ 0.46
④ 0.43

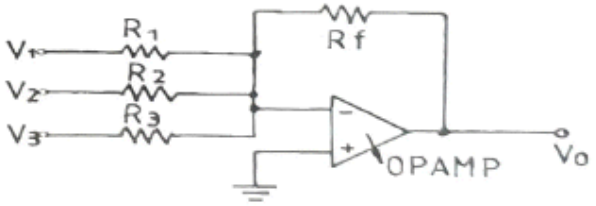
37. 효율은 좋으나 출력파형이 심하게 일그러지므로 고주파 동조 증폭기에 한정적으로 응용되는 전력 증폭기는?

① A급 전력증폭기
② B급 전력증폭기
❸ C급 전력증폭기
④ AB급전력증폭기

38. 다음 원소 중 도너로 사용되지 않는 것은?

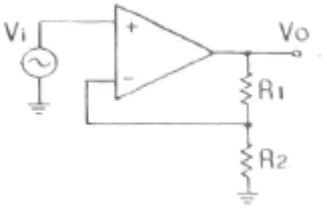
❶ In(인듐)
② P(인)
③ As(비소)
④ Sb(안티몬)

39. 다음 그림과 같은 OPAMP 회로에서 출력 전압 V_O는? (단, V_1=1V, V_2=+2V, V_3=+3V, R_1=500kΩ, R_2=1MΩ, R_3=1MΩ, Rf=1MΩ이다.) (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)



❶ +3V
② +7V
③ -3V
④ -7V

40. 다음 회로에서 R1=200[kΩ], R2=20[kΩ]일 때 부궤환율(β)



은?

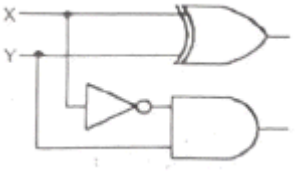
① 약 0.012
② 약 0.023
❸ 약 0.091
④ 약 0.91

【3과목】 논리회로 (20문제)

41. 패리티 비트의 데이터 송신 중의 사용 용도는?

① 오류보정
❷ 오류검출
③ 짝수검출
④ 홀수검출

42. 다음 회로에 해당하는 것은?



① 반가산기
② 디코더
❸ 반감산기
④ 비교기

43. 직렬 2진 가산기는 전가산기 1개만으로 가능하며, 회로적으로 병렬 2진 가산기보다 간단하나 연산속도가 느리다. 직렬 2진 가산기를 구성할 때 꼭 필요한 회로는? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ 지연 회로
② 해독 회로
③ 제어 회로
④ 보수 회로

44. 변수의 수(數)가 3이라면 카르노맵(K-map)에서 몇 개의 칸이 요구되는가?

① 2
② 4
③ 6
❹ 8

45. 2진수 10101.11를 BCD코드로 변환하면?

① 11001.0001001
② 11001.01110101
❸ 100001.0001001
④ 00100001.01110101

46. 32 × 1 멀티플렉서에서 필요한 제어선의 수는 몇 개인가?

① 2
❷ 5
③ 8
④ 1

47. 16진수 2A을 2진수로 변환하면? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ (001001100110)2
② (001010010110)2
③ (001010100110)2
④ (001110100110)2

48. 4bit 레지스터에서 출력이 4개일 때, 입력의 bit수는?

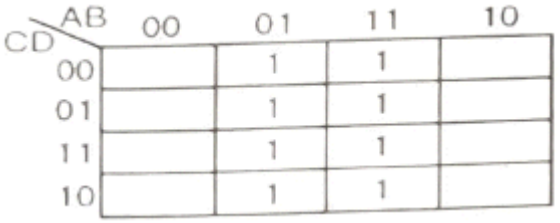
① 2
❷ 4
③ 8
④ 16

49. 다음과 같은 게이트의 출력을 나타낸 것은?



① A+B
❷ $A\overline{B}+\overline{A}B$
③ $\overline{AB}$
④ AB

50. 그림과 같은 카르노맵의 가장 간단한 논리식은?



① A
❷ B
③ C
④ D

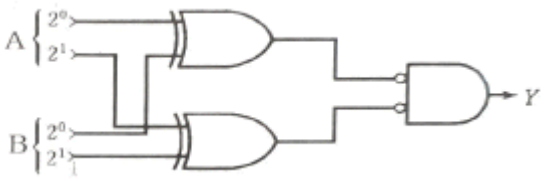
51. 순서 회로의 설명 중 옳지 않은 것은? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ 조합회로가 포함된다.
② 기억소자가 필요하다.
③ 카운터는 전형적인 순서회로이다.
④ 입력 값의 순서에는 영향을 받지 않는다.

52. 타이머 IC로 많이 사용되고있는 NE555의 구성 요소가 아닌 것은?

① R-S F/F
② Transistor
③ Comparator
❹ Diode

53. 다음 회로의 기능은? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)



❶ 2비트 일치 회로

② 2비트 크기 비교 회로(A>B)

③ 2비트 크기 비교 회로(A<B)

④ 2비트 불일치 회로

54. 다음 불(Boolean) 식을 간단히 한 결과 Y는?

$$Y = A \cdot \overline{A} + B$$

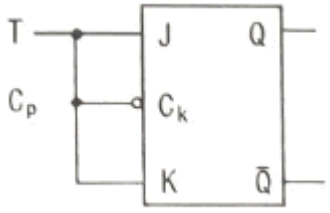
① Y=A

❷ Y=B

③ $Y = \overline{A}$

④ $Y = \overline{B}$

55. 다음 플립플롭회로의 출력 Q에 대한 논리식은?



① $Q_{n+1} = T_n$

❷ $Q_{n+1} = T_n \oplus Q_n$

③ $Q_{n+1} = T_n + \overline{T_n}\,\overline{Q_n}$

④ $Q_{n+1} = \overline{T_n} + Q_n$

56. 다음 보기 중 NOR 함수를 나타내는 논리식은?

① F(x,y)=x+y

❷ F(x,y)=(x+y)'

③ F(x,y)=x⊕y

④ F(x,y)=x·y

57. 8bit를 사용하여 나타내는 2진수로서 부호와 절대치 방식으로 나타낼 수 있는 수의 범위는?

① 128 ~ -128

② 128 ~ -127

③ 127 ~ -128

❹ 127 ~ -127

58. JK 플립플롭의 트리거 입력과 상태 전환 조건을 설명한 것 중 옳은 것은?

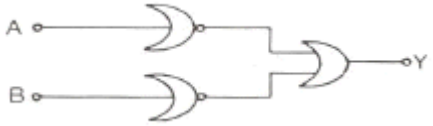
① J=O=0, K=0일 때는 0으로 돌아간다.

② J=1, K=0일 때는 0으로 돌아간다.

③ J=0, K=1일 때는 1로 돌아간다.

❹ J=1, K=1일 때는 반전된다.

59. 그림과 같은 게이트 회로의 출력을 나타내는 것은?



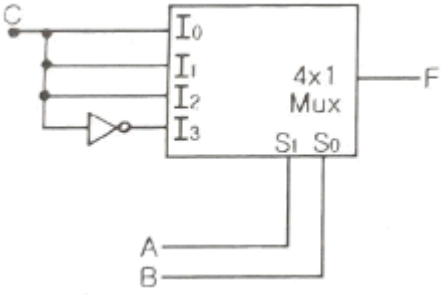
① A+B

② $\overline{A+B}$

❸ $\overline{AB}$

④ AB

60. 다음 그림의 표시에서 출력 F는? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)



❶ F(A,B,C)= Σ (0,1,2,3)

② F(A,B,C)= Σ (0,2,4,6)

③ F(A,B,C)= Σ (1,3,5,6)

④ F(A,B,C)= Σ (2,4,6,8)

【4과목】 집적회로 설계이론 (20문제)

61. MOS 구조의 전계효과 중 게이트 전압 V_G가 크게 증가하면 전계의 증가에 의해 산화층과 실리콘의 경계면에 소수 캐리어인 전자가 모이는 현상은? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ 반전 모드(Inversion mode)
② 공핍 모드(Depletion mode)
③ 축적 모드(Accumulation mode)
④ 바디 바이어스 효과(Body bias effect)

62. 실제로 클럭 신호는 MOS의 저항 및 용량 특성에 따라서 전달 과정에서 지연 효과를 갖게 되어 클럭의 시간차가 생긴다. 이와 같은 현상을 무엇이라고 하는가?

① 글리치(glitch)
② 해저드(hazard)
③ 경합(race)
❹ 스큐(skew)

63. 게이트 수준에서 검증된 설계 데이터인 네트리스트(netlist)를 집적회로로 구현하기 위해 필요한 마스크의 제작 데이터로 변환시키는 과정은? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ 레이아웃 설계
② 기능 수준 설계
③ 알고리즘 설계
④ 시뮬레이션

64. CMOS 인버터(Inverter) DC 특성 곡선에서 최대 전류가 흐르는 NMOS와 PMOS의 동작 영역은? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ NMOS와 PMOS 모두 선형 영역
② NMOS와 PMOS 모두 포화 영역
③ NMOS는 포화 영역, PMOS는 선형 영역
④ NMOS는 선형 영역, PMOS는 포화 영역

65. 인버터(Inverter)의 동작점이 아닌 것은?

① 출력이 가질 수 있는 최고 전압
② 출력이 가질 수 있는 최저 전압
③ 인버터의 문턱 전압
❹ 입출력 공동 전압

66. 실제의 IC 소자들이 가지고 있는 지연 시간을 고려한 시뮬레이션 방법으로 특히, 여러 단이 종속적(cascade)으로 연결되었을 경우 최종 출력에서 발생하는 spike나 glitch등을 방지하기 위한 방법은? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ 타이밍 시뮬레이션(tTiming Simulation)
② 구조적 시뮬레이션(Structural Simulation)
③ 계층적 시뮬레이션(Hierarchical Simulation)
④ 기능성 시뮬레이션(Functionality Simulation)

67. 게이트 전압(V_G)이 기판 전압(V_B)보다 낮은 전위를 갖는 경우, MOS 구조의 동작 모드는?

① 반전 모드(Inversion Mode)
❷ 축적 모드(Accumulation Mode)
③ 공핍 모드(Depletion Mode)
④ 증가 모드(Enhancement Mode)

68. VLSI 설계에서 강조되는 구조적 설계의 원칙으로 거리가 먼 것은? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ 정규성(Regularity)
② 모듈성(Modularity)
③ 국지성(Locality)
④ 반복성(Repeatedly)

69. 사진 식각 공정을 이용한 산화막 식각 공정을 올바른 순서로 나열한 것은?

㉮ 감광막 도포	㉯ 현상
㉰ 산화막 식각	㉱ 노광
㉲ 감광막 제거	

① ㉮→㉯→㉰→㉱→㉲
② ㉮→㉰→㉯→㉱→㉲
❸ ㉮→㉱→㉯→㉰→㉲
④ ㉮→㉱→㉰→㉯→㉲

70. 게이트 어레이 방식 설계에 대한 설명으로 옳지 않은 것은? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ 웨이퍼를 절약할 수 있다.
② 칩 제조 공정의 시간이 절약된다.
③ 회로 설계의 유연성이 증가한다.
④ 표준 셀 방식보다 칩의 크기가 작다.

71. MOS 트랜지스터 게이트 출력이 “1” 또는 “0” 레벨에 있을 경우 DC 전력을 거의 소모하지 않는 디바이스는? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ n-MOS
② p-MOS
③ I-MOS
④ CMOS

72. CMOS 집적회로에 대한 설명 중 옳지 않은 것은?

① pMOS와 nMOS를 상보적으로 사용하여 회로를 구성한다.
② 정적인 전류를 최소화하여 저전력 특성을 갖는다.
③ BJT 집적회로에 비하여 고밀도 집적에 유리하다.
❹ BJT 집적회로에 비하여 고속 동작에 유리하다.

73. 동적 CMOS 로직과 거의 같으나, 출력단에 인버팅 래치가 달려 있는 점이 다른 로직은?

① 카미노 로직
② 슈도 로직
❸ 도미노 로직
④ 트랜스 로직

74. 완전주문형 집적회로(Full-castom IC)에 대한 설명으로 옳지 않은 것은?

① 세부적인 레이아웃 패턴을 설계자가 직접 설계하는 방식이다.
② 설계자동화의 비중이 반주문형(semi-custom) 방식보다 작다.
③ 작은 면적의 집적회로를 설계하는 것에 유리한 방식이다.
❹ 표준 셀을 이용하는 방식으로 설계시간 단축에 유리하다.

75. VLSI 레이아웃 설계 후 레이아웃 도면으로부터 추출한 저항 및 커패시턴스 값을 반영하여 논리 시뮬레이션을 다시 실시하는 과정을 일컫는 것은? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ back annotation
② floor planning
③ logic synthesis
④ self-alignment

76. CMOS 공정에서 p-well보다 n-well 공정을 이용하는 이유로 가장 타당한 것은? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ mask 제작이 쉽기 때문이다.
② n-well 형성이 쉽기 때문이다.
③ 기생 커패시턴스가 작기 때문이다.
④ 기판 바이어스 효과가 크기 때문이다.

77. 반도체 공정에서 기체 상태의 화합물을 분해할 후 화학적 반응에 의해 반도체 기판 위에 박막이나 에피층을 형성하는 공정은?

① 진공증착(Evaporation)
② 스퍼터링(Sputtering)
❸ 화학기상증착(Chemical Vapor Deposition)
④ 분자선증착(Molecular Beam Epitaxy)

78. MOS 트랜지스터가 갖는 3가지 작동 영역이 아닌 것은?

① 차단 영역(Cutoff Region)
② 선형 영역(Linear Region)
❸ 빈선형 영역(Nonlinear Region)
④ 포화 영역(Saturation Region)

79. 전달게이트(transmission gate)에 대한 설명으로 옳지 않은 것은? (문제 오류로 정답이 정확하지 않습니다. 정답지를 찾지못하여 임의 정답 1번으로 설정하였습니다. 정답을 아시는 분께서는 오류 신고를 통하여 정답 입력 부탁 드립니다.)

❶ 실리콘 사용 면적이 감소하여 회로가 단순화 된다.
② 스위치로 사용하기 위하여 NMOS와 PMOS를 병렬로 연결한 것이다.
③ 두 개의 MOS 중 하나가 고장이 나도 동작을 한다.
④ ON 상태에서 NMOS와 PMOS가 모두 도통이 되므로 패스트랜스터보다 ON 상태의 저항이 적다.

80. 베이스 폭이 3×10^{-3}[cm]일 때 펀치-슬로 전압 V_{pt}가 [V]인 PNP 트랜지스터에서 베이스 폭이 6×10^{-3}[cm]으로 증가하면 V_{pt}는 얼마인가?

① 25[V]

② 26[V]

③ 27[V]

❹ 28[V]